

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年12月22日 (22.12.2005)

PCT

(10) 国際公開番号  
WO 2005/122244 A1

(51) 国際特許分類<sup>7</sup>: H01L 21/8242, G11C 11/405, H01L 27/108

(21) 国際出願番号: PCT/JP2005/010242

(22) 国際出願日: 2005年6月3日 (03.06.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 特願2004-170920 2004年6月9日 (09.06.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 森下玄 (MORISHITA, Fukashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 有本和民 (ARIMOTO, Kazutami) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

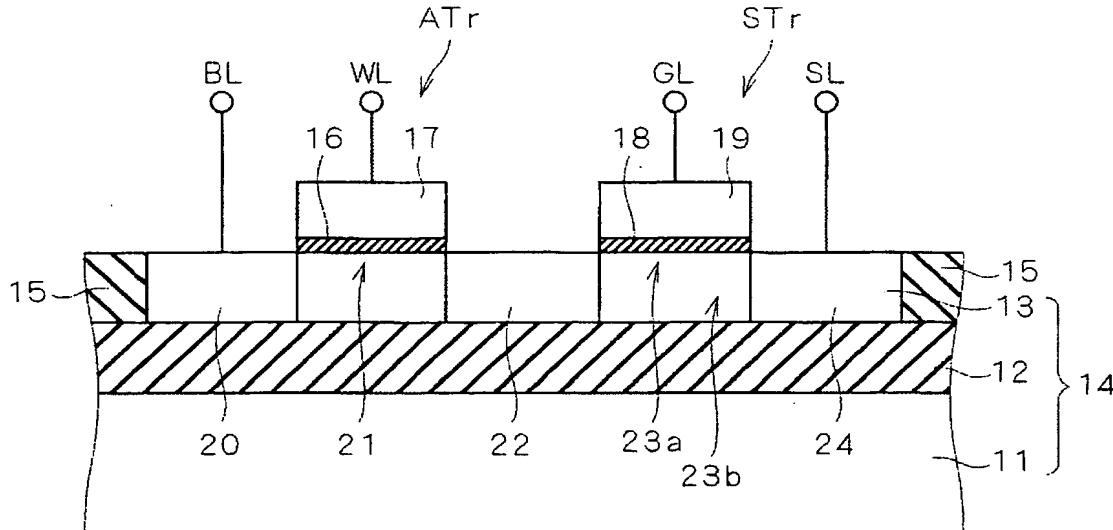
(74) 代理人: 吉田茂明, 外 (YOSHIDA, Shigeaki et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号 住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

/ 続葉有 /

(54) Title: SEMICONDUCTOR STORAGE

(54) 発明の名称: 半導体記憶装置



A1

(57) Abstract: Disclosed is a semiconductor storage which operates stably and can be produced by an MOS process. A storage transistor (STr) comprises impurity diffused regions (22, 24), a channel forming region (23a), a charge storage node (23b), a gate oxide film (18) and a gate electrode (19). The gate electrode (19) is connected to a gate line (GL), and the impurity diffused region (24) is connected to a source line (SL). The storage transistor (STr) stores data "1" or data "0" by creating a state where holes are stored in the charge storage node (23b) or a state where holes are not stored in the charge storage node (23b). An access transistor (ATr) comprises impurity diffused regions (20, 22), a channel forming region (21), a gate oxide film (16) and a gate electrode (17). The impurity diffused region (20) is connected to a bit line (BL).

WO 2005/122244 A1

(57) 要約: 本発明は、MOSプロセスによって製造可能であり、しかも安定動作を実現し得る半導体記憶装置を得ることを目的とする。ストレージトランジスタ (STr) は、不純物拡散

/ 続葉有 /



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

領域(22, 24)、チャネル形成領域(23a)、電荷蓄積ノード(23b)、ゲート酸化膜(18)、ゲート電極(19)を有している。ゲート電極(19)はゲートライン(GL)に、不純物拡散領域(24)はソースライン(SL)に、それぞれ接続されている。ストレージトランジスタ(STr)は、電荷蓄積ノード(23b)にホールが蓄積されている状態と、ホールが蓄積されていない状態を作り出すことにより、それぞれデータ“1”及びデータ“0”を記憶する。アクセストランジスタ(ATr)は、不純物拡散領域(20, 22)、チャネル形成領域(21)、ゲート酸化膜(16)、ゲート電極(17)を有している。不純物拡散領域(20)はビットライン(BL)に接続されている。